

⑩ 日本国特許庁(JP)

⑪ 特許出願公告

⑫ 特 許 公 報 (B2)

平2-8465

⑬ Int.Cl.:

識別記号

庁内整理番号

⑭ 公告 平成2年(1990)2月2

H 01 L 27/146

7377-5F H 01 L 27/14

C

発明の数 1 (全3)

⑮ 発明の名称 アモルファス半導体装置の製造方法

⑯ 特 願 昭58-111472

⑰ 公 開 昭60-3152

⑱ 出 願 昭58(1983)6月21日

⑲ 昭60(1985)1月9日

⑲ 発 明 者 船 田 雅 夫 神奈川県海老名市本郷2274番地 富士ゼロックス株式
海老名工場内⑲ 発 明 者 菊 池 正 次 神奈川県海老名市本郷2274番地 富士ゼロックス株式
海老名工場内⑲ 発 明 者 小 黒 寿 神奈川県海老名市本郷2274番地 富士ゼロックス株式
海老名工場内⑲ 出 願 人 富士ゼロックス株式会 東京都港区赤坂3丁目3番5号
社

⑲ 代 理 人 弁理士 木村 高久

審 査 官 真 鍋 潔

⑲ 参 考 文 献 特開 昭56-164667 (JP, A)

1

2

⑲ 特許請求の範囲

1 厚膜回路素子を有する基板上に、アモルファス半導体素子を形成するにあたり、アモルファス半導体の着膜工程に先立ち、あらかじめ、前記厚膜回路素子を金属膜で被覆し、保護する工程を有することを特徴とするアモルファス半導体装置の製造方法。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、アモルファス半導体装置の製造方法にかかり、特に厚膜回路を有する基板上への、アモルファス半導体装置の製造方法に関する。

〔従来技術〕

近年、急速に実用化が進められているアモルファス半導体は、大面積化が容易であり、大幅な組

の能動素子部をアモルファス半導体で構成したのが考えられている。

厚膜回路は、製造工数が少なく安価で、周辺件に強く、大電力に耐え得るという長所を有しており、アモルファス半導体との共存が望まれる反面、製造上の問題から、上述の如きアモルファス半導体装置の実用化は困難であつた。

ところで、この厚膜からなる制御回路とアモルファス半導体からなる固体撮像素子とを同一基板上に集積化せしめるにあたり、従来は、以下に示すような方法が用いられていた。

まずセラミック基板1上に、第1の導体ベントをインクとして使用し、スクリーン印刷法により印刷、および焼成を行ない第1の導体層2を成する。

(2)

特公 平 2-8465

3

4

如く、厚膜制御回路Cを形成する。

このようにして形成された厚膜からなる制御回路部Cに固体撮像素子部Sを並設すべく蒸着及びフォトリソグラフィによつて、第2図に示す如く、下部電極5を形成する。

こののち、前記制御回路部Cをはじめとし、アモルファスシリコン層の堆積を不要とする部分の上に、メタルマスクと指称されている金属製の板状体を載置し、プラズマCVD法によつて、第3図に示す如く、アモルファスシリコン層7を選択的に堆積せしめる。

そして、前記板状体6を排除したのち、通常の方法—蒸着およびフォトリソグラフィ—によつて、上部電極8を形成し、第4図に示す如く、アモルファス半導体装置の形成がなされていた。

しかしながら、厚膜は、薄膜等と比べ、膜質がち密でないことから、このような方法によると、アモルファスシリコン層の着膜工程において、マスクとして使用されている板状体6と導体層との間からシラン、水素等のガスプラズマが入り込み、厚膜の膜質に損傷を与えたり、厚膜とセラミックス基板との間に、前記ガスプラズマによる気泡が介入したりすることにより、厚膜の基板への密着強度が低下する。従つて、この厚膜回路に半導体チップを搭載せしめるためのワイヤボンディング工程時には、特に、膜の剥離がひんぱんに発生し、歩留り低下の原因となつていた。

〔発明の目的〕

本発明は、前記実情に鑑みてなされたもので、厚膜集積回路基板上にアモルファス半導体装置を形成するにあたり、厚膜回路に欠陥が発生するのを防止し、製造歩留りを向上せしめることを目的とする。

〔発明の構成〕

本発明は、厚膜回路の形成された基板上に、アモルファス半導体層を形成するにあたり、あらかじめ、この厚膜回路を金属膜によつて被覆して、厚膜回路を保護しつつ、アモルファス半導体層を

まず、セラミックス基板1上に、スクリーン印刷法により、印刷、焼成し、第5図に示す如く、1の導体である金属層2を形成する。

次いで、第6図に示す如く、スクリーン印刷により印刷、焼成し、絶縁性のガラス層3を形成する。

更に、第7図に示す如く、スクリーン印刷により、印刷、焼成し、第2の導体である金属層4を形成する。

このようにして形成された厚膜制御回路Cとする基板全体に、蒸着法によつて膜厚4000Åのクロム層を着膜し、第8図に示す如く、フォトリソグラフィによつて下部のクロム電極5および厚膜制御回路の保護膜9となる部分を除く不要部のクロム層を除去する。ここで、下部電極5は前記厚膜制御回路と相互接続される様な形状にパターニングするものとする。

そして更に、第9図に示す如く、この上に前記の板状体6を載置し、プラズマCVD法により水素化アモルファスシリコン層7を選択的に堆積せしめる。この水素化アモルファスシリコン層の膜厚は1μmである。

次いで前記板状体6を排除した後、フォトリソグラフィにより厚膜印刷回路上のクロムから保護膜9をエッチング除去する。

最後に、第10図に示す如く、メタルマスク(図示せず)を介し、上部電極として所定形状の酸化インジウム錫電極を約0.1μmの膜厚で着膜する。

このようにして、水素化アモルファスシリコン層からなる固体撮像素子部Sと厚膜制御部Cとよりなる半導体装置が形成される。

この半導体装置における厚膜回路は基板との着性が極めて良好であり、経時的に安定である上、この回路上に、シフトレジスタ等の半導体チップを搭載するにあたり、ダイボンディング、ワイヤボンディングを行なつても厚膜の剥離を引起こすこともなく、実装にあつての製造歩留りが

(3)

特公 平 2-8465

5

6

て説明したが、薄膜トランジスタ回路、太陽電池をはじめとし、他方面への適用も可能である。

〔発明の効果〕

以上、説明してきたように、本発明によれば、アモルファス半導体層の形成前に厚膜回路部を金属膜で被覆し、保護しておくことにより、厚膜回路に欠陥を生ぜしめることなく、アモルファス半導体層を堆積し得、製造歩留りの良好な半導体装置の提供が可能となる。

図面の簡単な説明

第1図乃至第4図は、従来のアモルファス半導

体装置の製造工程を示す図、第5図乃至第10図は、本発明実施例のアモルファス半導体装置の製造工程を示す図である。

1……セラミック基板、2……第1の導体層（金層）、3……ガラス層（絶縁層）、4……第2の導体層（金層）、5……下部電極（クロム層）、6……板状体（メタルマスク）、7……アモルファスシリコン層、8……上部電極（ITO層）、9……保護膜、C……制御回路部、S……固体撮像素子部。

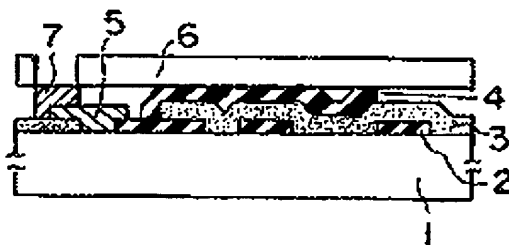
第1図



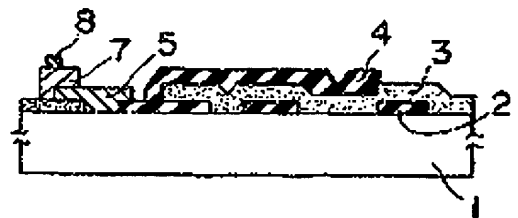
第2図



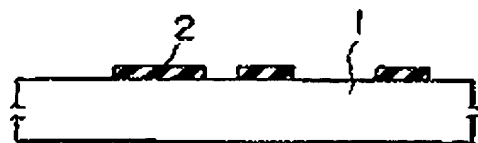
第3図



第4図



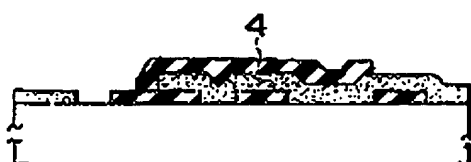
第5図



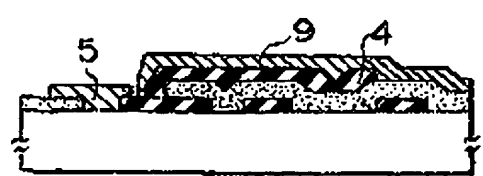
第6図



第7図



第8図



第9図